

PAT-NO: JP353122361A
DOCUMENT-IDENTIFIER: JP 53122361 A
TITLE: MANUFACTURE FOR SINGLE CRYSTAL
SILICON THIN FILM
PUBN-DATE: October 25, 1978

INVENTOR-INFORMATION:

NAME
WADA, YASUO
USUI, HIROO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP52036161

APPL-DATE: April 1, 1977

INT-CL (IPC): H01L021/20, H01L021/84 , H01L029/70 ,
H01L029/78 , H01L031/04

US-CL-CURRENT: 148/DIG.154, 438/FOR.484

ABSTRACT:

PURPOSE: To manufacture thin film of single crystal silicon by doping the impurity and annealing it, through deposit of amorphous or polycrystal silicon on the amorphous substrate.

COPYRIGHT: (C)1978, JPO&Japio

によりモノシリコンSiH_xとジホランB_xH₂を熱分解してドープ濃度 1×10^{14} cm⁻³のP型エピタキシャル層（以下EP層と略）14を厚さ2μmに堆積し、さらに該EP層を所定のパターンに従つて加工し、さらに1000°C dry O₂中で2時間酸化し厚さ2.5nmの酸化膜15を成長させ、その上にSiH_xの熱分解法により650°Cでpoly Si 16を堆積し、ゲートとなるべき部分を残してエッチし、さらにイオン打込み法によりひ素を120kVで 1×10^{14} cm⁻²打込み該poly Si 16にドープすると共にドレーンとなるべき領域17を形成した状態である。第4図(c)はりんガラス層（以下PSG層と略）18をSiH_xと成るのCVD法により500nmの厚さに堆積し、1000°Cで30分間アニール後コントラクト穴を開け、アルミニウム配線19を形成し、MOSFETを完成した状態である。この時に該ドレーンとなるべき領域の埋込深さは0.4μmとなり。該MOSFETのチャネル長は1.6μmとする事ができる。他のMOSFETとの電気的連絡は、該Single Si 13、該poly Si

(f)

り少なくとも二重に行なう事ができる。

(3) 太陽電池製造実施例

第6図は第4図(a)と同様にして形成したSingle Si 31上にエピタキシャル法によりドープ濃度 1×10^{14} cm⁻³のP型EP層32を厚さ0.5μmに堆積し、さらに該EP層32上に導電性ガラスSnO_x33を厚さ1μmに堆積し、該Single Si 31と該導電性ガラス層33をおののおの電極として太陽電池を形成した状態である。電流変換効率は約10%のものが得られ、既来の多結晶シリコンによる太陽電池と同等以上の効率が、非常に安価なプロセスで製造できた。

(4) 低ドープ濃度の単結晶薄膜製造実施例

以上の実施例ではアモルファス層上に形成できる単結晶シリコン(Single Si)は $10^{10} \sim 10^{11}$ cm⁻³という高いドープ濃度のものであつたが、本発明では低ドープ濃度のSingle Siも提供する事が可能である。そのためには、第4図(a)に示した製造の基板を、真空中で高温加熱し、ドープ不純物をout-diffuseさせればよい。たとえば、 1×10^{11}

(g)

特開昭53-122361(3)

16、および該アルミニニウム配線19にて三重

に行なう事ができる。

(2) バイポーラトランジスタ（以下BTと略）および複数個のBTからなる集積回路（以下MICと略）の製造実施例

第6図(h)は第4図(a)と同様にして形成したSingle Siの為21上に選択エピタキシャル法によりドープ濃度 10^{14} cm⁻³のP型ヒビ層22を厚さ1μmに堆積し、所定の部分を残してエッチした状態である。第5図(h)は該EP層22を950°Cで30分間ボロンを拡散し、表面濃度 1×10^{14} cm⁻³、接合深さ0.7μmのPベース層23を形成し、さらに1000°C dry O₂中で200nmの酸化膜24を成長させ、該酸化膜に穴を開け、ひ素を50kVで 1×10^{14} cm⁻²打込み、1000°Cで30分アニールして接合深さ0.35μm、層抵抗20Ω/□のエミッタ25を形成し、さらにベース領域にコンタクト穴を開けアルミニウム配線26を形成した状態である。電子間の電気的連絡は、該Single Si 21およびアルミニウム配線26によ

(h)

torrの真空中で1100°C 2時間加熱する事により、ドープ濃度 1×10^{14} cm⁻³の半結晶シリコン薄膜を得る事ができた。この場合にはドープ不純物としてりんを使用する方が該半結晶シリコン中の拡散係数が大きいため有利である。真空中で加熱する温度と時間を制御する事により、該半結晶シリコン中の不純物濃度を制御可能である。本実施例において、真空中で加熱する代りに、不活性蒸気気で加熱してある程度の効果を得られる。

以上の実施例においては、半結晶シリコンウェーハ上に成長させた熱酸化膜上に半結晶シリコン薄膜を形成しているが、たとえば石英ウェーハ、あるいは多結晶シリコンウェーハ上に成長させた熱酸化膜上等に該半結晶シリコン薄膜を形成する事もでき、既来のSOIに比して格段に安価な绝缘体上の半結晶シリコン薄膜を製造する事が可能である。

本発明の要点をもう一度要約すると、アモルファス基板上に堆積したpoly Siに、 1×10^{11} cm⁻³以上の不純物をドープし、800°C以上で加熱す

(i)

る事により、該 poly Si を Single Si の成長させる点にある。

以上説明したごとく本発明によれば、安価なアルミナ基板上に成長した半結晶シリコン薄膜を安価なプロセスで得る事ができ、かつ該半結晶シリコン薄膜の特性も SOS と同等以上で十分使用に耐えるものであり、該半結晶シリコン薄膜を使用したデバイスは、結合容量が実質上無視できるため高速動作が可能である。したがつて本発明の技術上の効果は大である。

図面の簡単な説明

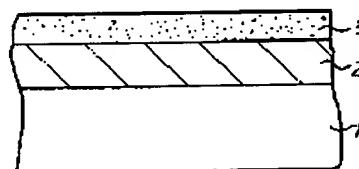
第 1 図は本発明の概念図、第 2 図は不純物ドープ濃度と比粒径の関係を示した図、第 3 図はアニール温度と比粒径の関係を示した図。第 4 図(a)～(c)は本発明を MOSFET に適用した実施例を示す図。第 5 図(a)～(b)は本発明を HBT に適用した実施例を示す図、第 6 図は本発明を太陽電池に適用した実施例を示す図である。

代思人弁理士 渡田利幸

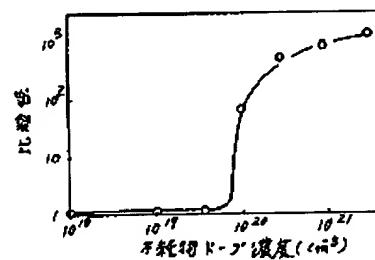
00

特開昭53-122361(4)

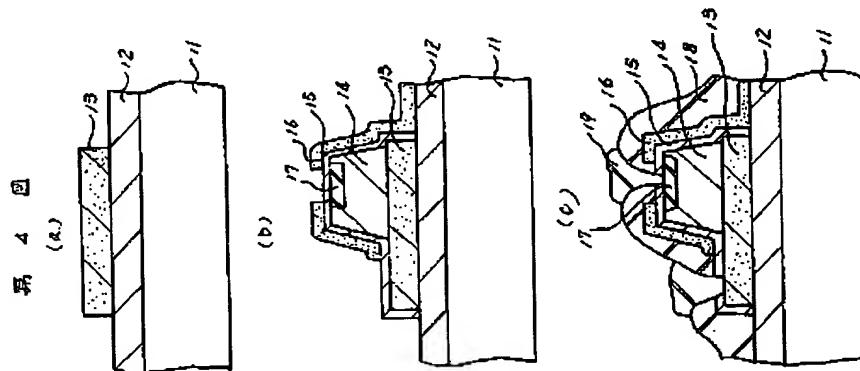
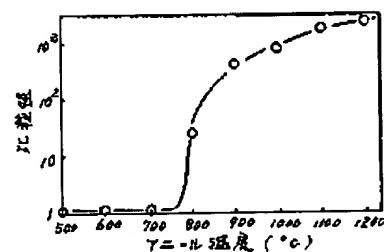
第 1 図



第 2 図



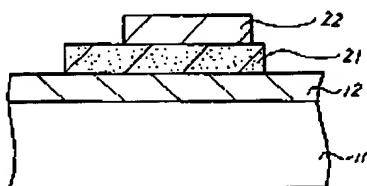
第 3 図



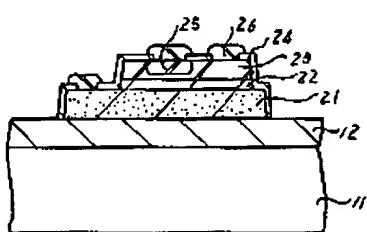
特開昭53-122361 (5)

第5図

(a)



(b)



第6図

